

УДК 519.684:550.3

РЕАЛИЗАЦИЯ АЛГОРИТМОВ ПОТОЧНОЙ СВЕРТКИ С ПРИМЕНЕНИЕМ ТЕХНОЛОГИИ ПЛИС

^{1, 2)} Хайретдинов М.С., ¹⁾ Остапкевич М.Б., ²⁾ Минахудинов Р.Ф.

¹⁾ *Институт вычислительной математики и математической геофизики СО РАН, Новосибирск, Россия*

²⁾ *Новосибирский государственный технический университет, Новосибирск, Россия*

В связи с внедрением сетевых технологий сбора данных в системах активного геофизического мониторинга среды актуальными являются методы и алгоритмы оперативного анализа данных по скорости их получения. В качестве примера рассматриваются алгоритмы последовательной кросс-корреляционной свертки данных в системах активного мониторинга окружающей среды с применением сейсмических и акустических колебаний, создаваемых сейсмическими вибраторами. Вибраторы находят все более широкое применение при глубоком сейсмическом зондировании Земли, акустическом мониторинге атмосферы и др.

ВВЕДЕНИЕ

Внедрение сетевых технологий сбора данных в системы активного геофизического мониторинга окружающей среды [1] открывает возможности оперативного анализа данных в темпе их поступления. Это обуславливает возможность поточной обработки данных в системах активного мониторинга, а также вибрационной сейсморазведки [2] с применением сейсмических [2] и акустических [3] колебаний сейсмических вибраторов. Как известно, одной из основных операций, используемых в этих случаях, является взаимокорреляционная свертка продолжительных по времени регистрируемых сигналов с опорными, в результате чего получается вибрационная сейсмограмма (коррелотрасса). Вычисление этой операции в реальном масштабе времени, т. е. в темпе поступления данных при априорно неизвестных временах прихода сейсмических и акустических колебаний от источника возможно путем применения высокопроизводительных спецвычислителей, а также метода секционирования длинных временных последовательностей. Применение оперативной обработки позволяет контролировать результаты работ непосредственно в пунктах регистрации и способствует получению более кондиционного полевого материала для последующей интерпретации.

Наиболее доступной технологией построения систем, удовлетворяющих указанным требованиям, являются программируемые логические интегральные схемы (ПЛИС), в первую очередь, их подкласс – перепрограммируемые вентильные матрицы (FPGA, Field Programmable Gate Array). Технология ПЛИС обеспечивает построение высокопроизводительных вычислительных алгоритмов за счет параллелизма в том объеме, в котором он присущ самой задаче, а не архитектуре системы, на которой эта задача реализуется. Для алгоритма поточной свертки характерен массовый параллелизм и высокая независимость частей задачи друг от друга.

Технология ПЛИС зародилась в 1970 г. с появлением микросхем с программируемой логической матрицей. Малое число логических элементов и отсут-

ствие встроенной памяти позволяли использовать первые ПЛИС только для задач, связанных с управлением. По мере их эволюции усложнилась структура логической ячейки, она была дополнена встроенной памятью. Число ячеек увеличилось на порядки. Для типичных задач были добавлены укрупненные ячейки (макроячейки). К настоящему времени сформировалось три основных класса архитектур ПЛИС по уровню сложности логической ячейки: 1) «Море вентилей» (sea of gates), представляющий устройства с большим числом простейших вентильных ячеек; 2) CPLD (Complex Programmable Logic Device), характеризующийся малым числом сложных логических ячеек; 3) программируемая пользователем вентильная матрица (FPGA, Field Programmable Gate Array) – промежуточный вариант с ячейками средней сложности, получивший наибольшее распространение и подходящий для решаемой задачи.

В современной FPGA существуют следующие основные типы ячеек и макроячеек:

1) логическая ячейка – реализует логическую функцию от нескольких входов (для большинства современных моделей типичное количество входов – 4–5) или формирует регистр памяти для хранения нескольких десятков битов информации;

2) блоковая память – макроячейка быстрой статической оперативной памяти объемом в несколько килобайт. Размер и количество слов в каждой такой макроячейке может настраиваться под требования задачи;

3) макроячейка умножителя – позволяет производить быстрое умножение целых чисел;

4) макроячейка ввода/вывода – позволяет настроить контакт СБИС как цифровой вход или выход в том или ином стандарте (CMOS, TTL и т. д.). Могут присутствовать и контроллеры для реализации стандартных шин, интерфейсов подключения памяти и сетевых интерфейсов (I2C, USB, PCI-E, DDRAM, Ethernet). В некоторых моделях есть возможность ввода и оцифровки аналогового сигнала.

5) блок управления синхросигналом – позволяет получить синхросигнал нужной частоты, используя

входящий от кварца синхросигнал с фиксированной частотой, и усилить его для подачи на заданный набор других ячеек и макроячеек. В одной схеме могут использоваться несколько разных синхросигналов с разной частотой;

б) слайсы сигнальных процессоров, содержащие сумматоры, умножители, сдвиговые регистры, – обеспечивают возможность выполнения векторных операций.

Появились гибридные схемы, которые содержат как ячейки FPGA, так и ядра микропроцессоров с традиционной архитектурой. Начиная с конца 90-х гг. расширившиеся возможности FPGA позволили применять их не только для построения управляющих устройств, но и в качестве основы для построения высокопроизводительных специализированных вычислителей с параллельной архитектурой.

Современная высокопроизводительная FPGA (например, из семейства Xilinx Virtex) имеет в своем составе несколько миллионов логических ячеек, более 60 Мбит быстрой внутрикристалльной статической оперативной памяти, тысячи слайсов для цифровой обработки сигналов и десятки внешних высокоскоростных интерфейсов для обмена данными и подключения внешней оперативной памяти.

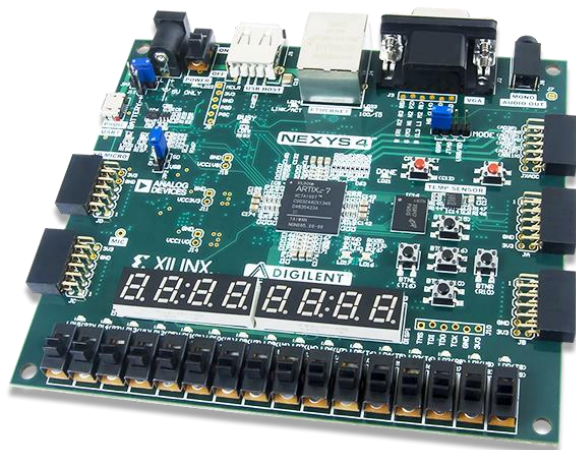


Рисунок 1. Внешний вид платы разработчика
Digilent Nexys4

Для построения работающего прототипа применяются так называемые макетные платы или платы разработчика. Эти платы позволяют обойтись без проектирования и построения специализированной платы с FPGA, сосредоточившись на программировании FPGA и на подключении требуемых датчиков, актуаторов, устройств ввода/вывода, памяти и пользовательского интерфейса. Плата Digilent Nexys4 (рисунок 1) – пример недорогой платы на ПЛИС Xilinx Artix 7 XC7A100T с внешней памятью 16 Мбайт, интерфейсами для устройств пользовательского интерфейса (монитор, клавиатура, мышь) и возможностью подключения разнообразных устройств ввода/вывода и датчиков.

СБИС Artix7 XC7A100T [4, 8] имеет в своем составе 101440 логических ячеек, 135 36К битных блока памяти, 240 слайсов сигнальных процессоров и 300 контактов для пользовательского ввода/вывода. Этих ресурсов достаточно для реализации прототипа специализированного вычислителя для задач цифровой обработки сигналов.

Для реализации систем на базе FPGA построены интегрированные среды разработчика. Они позволяют создавать многомодульные проекты с использованием языков описания схем VHDL (Very high speed integrated circuits Hardware Description Language), Verilog (Verilog Hardware Description Language), описывать конфигурацию оборудования (подключение внешних устройств, используемые при этом типы интерфейсов, параметры синхросигнала), моделировать поведение разрабатываемой системы, синтезировать файл для конфигурации FPGA и прошивать его в микросхему FPGA. Некоторые среды (например, Xilinx Vivado) обеспечивают визуальный подход к проектированию. На верхнем уровне система описывается как набор связанных блоков, называемых IP. Эти IP блоки могут быть стандартными блоками среды разработки, могут быть разработаны сторонними разработчиками или написаны самими разработчиками проекта на языках VHDL или Verilog. Собрана обширная библиотека IP, включающая реализации процессоров, интерфейсов памяти, шинных интерфейсов, вычислительных устройств и т. д. Существенная доля разрабатываемых систем собирается из готовых IP. Это многократно снижает время и трудоемкость разработки и повышает ее качество. На рисунке 2 приведен фрагмент блочной структуры специализированного вычислителя в среде Xilinx Vivado.

Основное назначение разрабатываемой вычислительной системы – быстрая проверка качества проведенного геофизического эксперимента в полевых условиях. Это позволит быстро обнаружить ошибки в проведении эксперимента и оперативно запустить его повторно, с минимальными затратами. Проверка заключается в вычислении свертки исходного сигнала, подаваемого на сейсмические вибраторы и сигналов, полученных от датчиков. Требуется поддерживать подключение до 6 датчиков, и, соответственно, одновременное вычисление до 6 сверток. Максимальное количество отсчетов в секунду – 4000. Производительность устройства должно быть достаточной для обработки поступающих по всем каналам сигналов с максимальным количеством отсчетов в реальном времени, по мере поступления новых фрагментов сигналов, считанных с датчиков. Так как устройство предназначено для использования в полевых условиях, оно должно быть легким, компактным и экономичным в плане энергопотребления. По массе и размеру разрабатываемое устройство должно быть аналогично компактному переносному компьютеру типа нетбук. Для питания систе-

мы на один сеанс проведения эксперимента должно быть достаточно карманного аккумулятора с параметрами 5 В, 15000 мАч. Для получения сигналов с датчиков сейсмостанции вычислитель должен обеспечивать связь по протоколам прикладного уровня OSI/ISO SeedLink и FTP и работу с данными в форматах miniSeed и PC. Поддерживаемые интерфейсы физического уровня OSI/ISO – USB, BT, Ethernet 100BASE-T.

Основные режимы работы системы – это режим «на внешней связи», «Автономный», «On-Line». В режиме «на внешней связи» устройство соединено по каналу USB с компьютером оператора, все пользовательские функции доступны через клиентскую программную оболочку на ноутбуке (предоставляется версия этой оболочки – для GNU Linux). В «автономном» режиме оператор управляет устройством через локальную графическую консоль устройства. В режиме «On-Line» пользовательский интерфейс полностью отключен, порядок и время выполнения операций заданы в настройках (скриптовой программой пакетной обработки, в которой можно указывать порядок, время и условия выполнения любых пользовательских функций системы, за исключением функций отображения на графическую консоль устройства).

Основные функции устройства – это получение сигналов от сейсмостанции, вычисление поточной свертки, обмен данными с серверами и компьютерами операторов, реализация пользовательского интерфейса для визуализации исходных сигналов и посчитанных сверток и для управления устройством и настройка системы для автономной работы в режиме «On-Line».

Для задач обработки сигналов вообще, и для вычисления поточной свертки в частности, характерны большой объем вычислений и высокий уровень не-

зависимости частей задачи. Кроме этого, в решаемой задаче вычисления поточной свертки требуется обеспечить счет в реальном времени, непосредственно в момент поступления исходных сигналов. Для удовлетворения этим условиям, оставаясь в рамках традиционных архитектур, возникает необходимость в параллельной крупноблочной высокопроизводительной вычислительной системе, но такое решение не удовлетворяет другой части требований – использования в полевых условиях (компактность устройства и экономичность в энергопотреблении). Архитектура FPGA обеспечивает возможность одновременной работы большого числа функциональных устройств системы и их связь по отдельным высокоскоростным шинам. Эти свойства позволяют преодолеть фундаментальные ограничения производительности, которые присущи компьютерам с традиционной архитектурой фон Неймана или современных вычислительных систем с крупноблочным параллелизмом, которые эволюционировали из этой архитектуры. При этом, в отличие как от них, так и устройств на базе GPU, решения на базе FPGA отличаются высокой экономичностью энергопотребления.

Разработанная архитектура системы вычисления поточной свертки основывается на вычислительных структурах с мелкозернистым параллелизмом (матричный вычислитель, однородная структура). На ее основе построена реализация с использованием FPGA Artix7 [4] фирмы Xilinx. Она состоит (рисунок 3) из матричного высокопроизводительного вычислителя поточной свертки, программного микропроцессора MicroBlaze [5], подсистемы сетевого и коммуникационного интерфейса, подсистемы хранения данных и подсистемы пользовательского интерфейса.

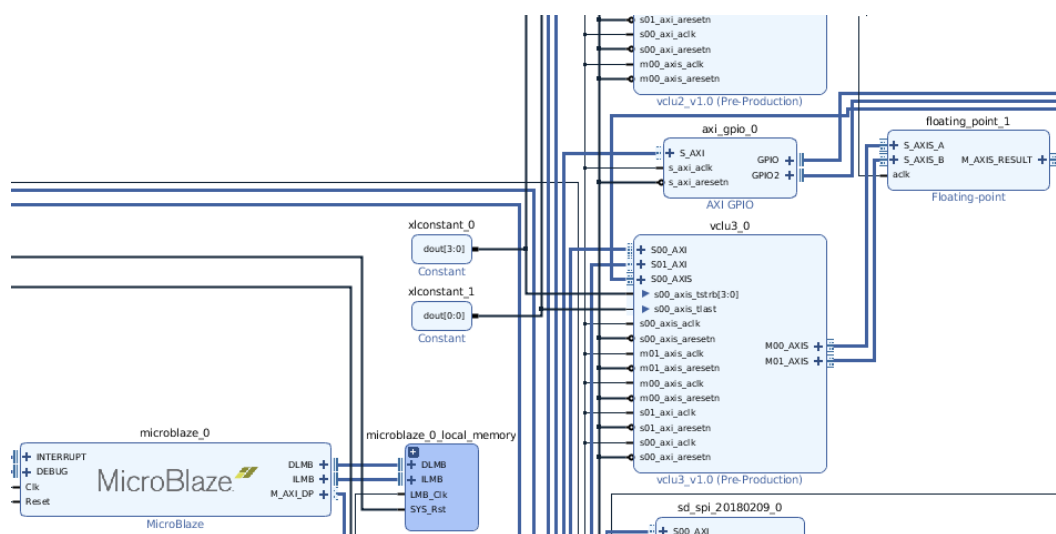


Рисунок 2. Фрагмент блочной структуры специализированного вычислителя в среде Xilinx Vivado

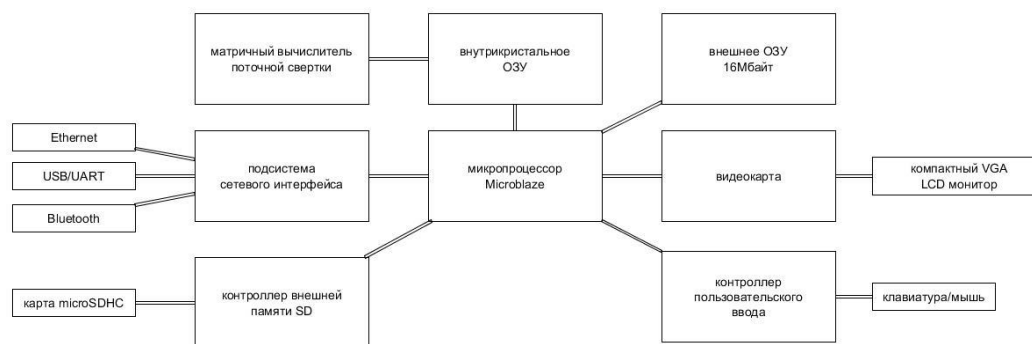


Рисунок 3. Общая структура специализированного вычислителя в среде Xilinx Vivado

Взаимодействие между подсистемами реализовано на основе использования шин AMBA/AXI и AMBA/AXI-Stream [6]. Матричный вычислитель обеспечивает параллельное вычисление нескольких фрагментов сверки с конвейерной обработкой каждого потока. Для связи с регистратором используется протокол SeedLink и форматы хранения данных Seed и PC. Для взаимодействия с клиентским компьютером пользователя используются интерфейсы UART через USB и Ethernet. Система может работать как с подключением к клиентскому компьютеру, так и в автономном режиме. Подсистема хранения обеспечивает долговременное хранение как считанных в процессе проведения эксперимента сигналов, так и результатов счета с использованием карты SD Flash объемом до 32 Гб. Так как в настоящей реализации используется плата Digilent Nexys4 [7] с небольшим объемом оперативной памяти (16 МБ), подсистема хранения интенсивно используется в процессе проведения вычислений для загрузки в оперативную память фрагментов исходных сигналов. Для управления системой в автономном режиме реализован пользовательский интерфейс (блок ввода и программно реализованная графическая карта на FPGA).

В отличие от предшествующей разработки [9], где использовался собственный управляющий процессор, в Seismoterre был выбран процессор Xilinx MicroBlaze, так как он обеспечивает эффективную и

высокопроизводительную реализацию и поддерживает набор стандартных шин (AXI-4, AXI-Stream) для подключения разнообразных периферийных устройств, которые требуются в проекте.

Матричный высокопроизводительный вычислитель основывается на реализации из [7] и представляет собой набор однотипных процессорных элементов (ПЭ) вычисления свертки для целых чисел и чисел с плавающей запятой. ПЭ соединены между собой выделенными скоростными шинами AXI-Stream и подключены к управляющему процессору через несколько интерфейсов AXI-4 с ячейками памяти вычислителя, спроецированными на общее адресное пространство процессора. Каждый ПЭ имеет блоки памяти для организации буферов, для хранения входных данных, для обработки. Конвейерная организация ПЭ позволяет выдавать очередной результат на каждом такте после того, как конвейер прошел стадию разгона.

Графическая карта обеспечивает одновременное использование как текстового, так и графического режимов визуализации данных и режимов работы. Ее программная архитектура включает набор регистров для задания режимов ее работы, считывания ее состояния и нескольких областей памяти для хранения отображаемых текстовых данных и атрибутов их визуализации, графического изображения, очертаний символов в текстовом режиме и используемой цветовой палитры.

ЛИТЕРАТУРА

1. Алексеев, А.С. Активная сейсмология с мощными вибрационными источниками / А.С. Алексеев [и др.]. – Новосибирск: филиал «Гео» Изд. СО РАН. – 387 с.
2. Шнеерсон, М.Б. Вибрационная сейсморазведка / М.Б. Шнеерсон [и др.]. – М. Недра, 1990. – 240 с.
3. Хайретдинов, М.С. Алгоритмы поточной свертки в задачах активного вибросейсмоакустического мониторинга / М.С. Хайретдинов, Г.М. Воскобойникова, Г.С. Седухина // Геосибирь, 2017.
4. Artix-7 FPGAs Data Sheet. Xilinx. DS-181, 2018.
5. MicroBlaze Processor Reference Guide. Embedded Development Kit 11.4. Xilinx. UG081, 2009.
6. AMBA AXI and ACE Protocol Specification. ARM, 2011.
7. Digilent Nexys4 FPGA Board Reference Manual. Digilent., 2016.
8. Artix-7 FPGAs Data Sheet Overview. Xilinx. DS-180, 2018.
9. Aillet, A. Реализация специализированного вычислителя для клеточно-автоматных моделей с использованием ПЛИС / A. Aillet, A. Gougeon, R. Lorenz, M. Ostapkevich // Актуальные проблемы вычислительной и прикладной математики. Труды Международной конференции, посвященной 90-летию со дня рождения академика Г. И. Марчука, 2015. – С. 900–905.

**ТЕХНОЛОГИЯНЫ (ПЛИС) ҚОЛДАНУМЕН АҒЫЛМАЛЫ ҮЙІРУ
АЛГОРИТМДЕРІН ІСКЕ АСЫРУ**

^{1, 2)} Хайретдинов М.С., ¹⁾ Остапкевич М.Б., ²⁾ Минахудинов Р.Ф.

¹⁾ *Есептеу математика және математикалық геофизика институты, Новосибирск, Ресей*

²⁾ *Новосибирск мемлекеттік техникалық университеті, Новосибирск, Ресей*

Ортаның белсенді геофизикалық мониторингі жүйелерінде деректерді жинаудың желілік технологияларын іске енгізуіне байланысты деректерді алу жылдамдығы бойынша жедел талдаудың әдістері мен алгоритмдері актуальды болып табылады. Үлгі ретінде, сейсикалық вибраторлар өндіретін сейсикалық және акустикалық тербелістерді қолданумен, қоршаған ортаның белсенді мониторингі жүйелерінде деректерді бірізді кросс-корреляциялық үйіру алгоритмдері қарастырылады. Вибраторлар, Жерді тереңгі сейсикалық зондтауда, атмосфераның акустикалық мониторингісінде және басқа міндеттерді шешуінде кең қолдана басталған.

**THE IMPLEMENTATION OF ALGORITHMS OF FLOW CONVOLUTION
ON THE BASIS OF PROGRAMMABLE LOGIC DEVICE (PLD)**

^{1, 2)} M.S. Hairetdinov, ¹⁾ M.B. Ostapkevich, ²⁾ R.F. Minahudin

¹⁾ *The Institute of Computational Mathematics and Mathematical Geophysics, SB RAS, Russia*

²⁾ *Novosibirsk State Technical University, Novosibirsk, Russia*

In connection with introduction of network technologies of data acquisition in systems of active geophysical monitoring of environment medium methods and algorithms of the operative analysis of data in rate of their receipt is actual. As an example algorithms serial cross-correlation convolution of data in systems of active monitoring of environment with application of the seismic and acoustic oscillations generated by seismic vibrators are considered. The vibrators find more and more wide application in deep seismic sounding of the Earth, acoustic monitoring of atmosphere, etc.